

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 9 月 29 日 (29.09.2005)

PCT

(10) 国際公開番号
WO 2005/091264 A1

(51) 国際特許分類: G09G 3/30, 3/20

(21) 国際出願番号: PCT/JP2005/005122

(22) 国際出願日: 2005 年 3 月 22 日 (22.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-087012 2004 年 3 月 24 日 (24.03.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 前出 淳 (MAEDE, Jun) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 矢熊 宏司 (YAGUMA, Hiroshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto

(JP). 阿部 真一 (ABE, Shinichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 藤川 昭夫 (FUJIKAWA, Akio) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 梶山 信是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).

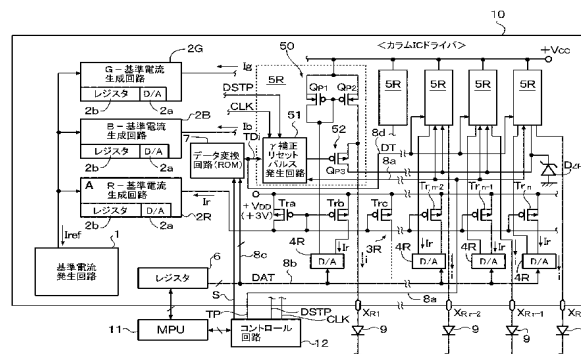
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: ORGANIC EL DRIVE CIRCUIT AND ORGANIC EL DISPLAY DEVICE USING THE SAME

(54) 発明の名称: 有機 EL 駆動回路およびこれを用いる有機 EL 表示装置



10... COLUMNIC DRIVER
20... G-REFERENCE CURRENT GENERATION CIRCUIT
2b... REGISTER
2B... B-REFERENCE CURRENT GENERATION CIRCUIT
A... R-REFERENCE CURRENT GENERATION CIRCUIT
7... REFERENCE CURRENT GENERATION CIRCUIT
7... DATA CONVERSION CIRCUIT (ROM)
6... REGISTER
51... γ -CORRECTION RESET PULSE GENERATION CIRCUIT
12... CONTROL CIRCUIT

(57) Abstract: A γ -correction circuit is formed by a switch circuit (52) for receiving a reset pulse and connecting a terminal pin (X_R) to a predetermined potential line, a correction data generation circuit (7) for generating correction data (TDi) for correcting a light emission period in accordance with display data in order to subject the luminance of an OEL element (9) to the γ -correction, and a reset pulse generation circuit (51) for receiving a timing control signal (TP) and the correction data (TDi) and generating a reset pulse of the pulse width corresponding to the γ -correction. By providing the γ -correction circuit corresponding to the terminal pin (X_R), it is possible to suppress the area occupied by the organic EL drive circuit and the γ -correction circuit of the organic EL display device.

[続葉有]

WO 2005/091264 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

リセットパルスを受けて所定の電位ラインに端子ピン (X_R) を接続するスイッチ回路 (52) と、EL素子 (9) の輝度を γ 補正するために表示データに応じて発光期間を補正する補正データ (TD) を生成する補正データ生成回路 (7) と、タイミングコントロール信号 (TP) と補正データ (TD) とを受けて γ 補正に応じたパルス幅のリセットパルスを発生するリセットパルス発生回路 (51) とらなる γ 補正回路を端子ピン (X_R) に対応して設けることにより、有機EL駆動回路および有機EL示装置の γ 補正回路の占有面積を抑える。

明 細 書

有機EL駆動回路およびこれを用いる有機EL表示装置

技術分野

- [0001] この発明は、有機EL駆動回路およびこれを用いる有機EL表示装置に関し、詳しくは、携帯電話機、PHS等の表示装置を有する電子機器において、端子ピン対応に設けられる γ 補正回路の占有面積を抑えることが可能な有機EL駆動回路に関する。

背景技術

- [0002] 携帯電話機、PHS、DVDプレーヤ、PDA(携帯端末装置)等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個(132×3)の端子ピン、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

有機EL表示パネルの各有機EL素子(以下OEL素子)は、ブラウン管と同様に表示データの値に対して輝度が直線的な関係はになく、表示3原色のR、G、Bの材料による素子特性に応じた曲線になる。そこで、有機EL表示装置を使用する周囲の環境が変わると画質が変化し、有機EL表示パネルが高解像度になればなるほど、この画質の変化が目立ってくる。そのために γ 補正をすることが必要になる。

なお、この γ 補正としては、カラムラインの端子ピンへ駆動電流を出力する出力回路(出力段電流源)の負荷抵抗を直列抵抗回路として、抵抗選択により γ 補正をする発明を出願人は出願している(特許文献1)。

特許文献1:特開2003-288051号公報

発明の開示

発明が解決しようとする課題

- [0003] 特開2003-288051号(特許文献1)の発明の実施例は、カラム側の端子ピンに対応するようにそれぞれD/Aと出力段電流源とを設けて、表示データをD/A変換し、D/A変換して得られた電流に応じて出力段電流源を駆動して端子ピンに有機EL素子の駆動電流を出力している。

通常、 γ 補正をする場合には、ドライバ等でソフトウェア処理により前記のD/Aに設定する表示データを γ 補正に対応する補正をすることが考えられるが、4ビット〜6ビット程度のD/Aでは、 γ 補正ができない問題がある。そのため、特開2003-288051号では、出力段電流源に γ 補正回路をピン対応に設けている。

しかし、出力段電流源の負荷抵抗を直列抵抗回路とする γ 補正回路では、負荷抵抗値を選択するための抵抗とスイッチ回路が多くなる。この負荷抵抗による γ 補正回路は、消費電力の低減という点からみるとそれに逆行するので、負荷抵抗による γ 補正はせずに電流駆動回路の占有面積を抑える別の γ 補正回路が要請される。

この発明の目的は、このような要請に応えるものであって、端子ピン対応に設けられる γ 補正回路の占有面積を抑えることが可能な有機EL駆動回路および有機EL表示装置を提供することにある。

課題を解決するための手段

[0004] このような目的を達成するためのこの発明の有機EL駆動回路およびこれを用いる有機EL表示装置の構成は、デジタル値の表示データをD/A変換してOEL素子を電流駆動するための駆動電流あるいはその基礎となる電流を生成し、水平1ラインの走査期間に相当する表示期間と水平1ラインの帰線期間に相当するリセット期間とを切り分けるための第1のタイミングコントロール信号に応じて表示期間に有機ELパネルの端子ピンを介してOEL素子に駆動電流を送出し、リセット期間にOEL素子の端子電圧のリセットをする有機EL駆動回路において、

リセットをするためにリセットパルスを受けて端子ピンを所定の電位ラインに接続するスイッチ回路と、OEL素子の輝度を γ 補正するために表示データを受けて表示データに応じてOEL素子の発光期間を補正するための補正データを生成する補正データ生成回路と、第1のタイミングコントロール信号と補正データとを受けて γ 補正に応じたパルス幅のリセットパルスを発生するリセットパルス発生回路とを備えるものである。

発明の効果

[0005] ところで、OEL素子は、その端子を所定の定電圧にプリチャージする定電圧リセットが行われるので、有機EL駆動回路の各カラムピン対応に加えられるOEL素子に対

する電流駆動波形は、図6(g)に示すように、所定の定電圧からスタートするピーク電流波形(実線)となる。なお、図6(g)の点線は、電圧波形である。

定電圧リセットは、水平走査の帰線期間に相当するリセット期間RTに行われ、このときの表示期間Dは、水平1ラインの水平走査期間に相当する。そこで、表示期間Dとリセット期間RTの切り分けが表示期間D+リセット期間RTに対応する周期(水平走査周波数相当)のタイミングコントロールパルスTP(図6(j)参照)により行われる。なお、図6は、各端子ピンに流す電流駆動波形とこれを発生するタイミング信号の説明図である。

これについて説明すると、図6(a)は、各制御信号のタイミングの基本となる同期クロックCLKであり、図6(b)は、ピクセルカウンタのカウントスタートパルスCSTPであり、ピクセルカウンタのカウント値が図6(c)に示されている。図6(d)は、表示開始パルスDSTPであり、図6(e)がR(赤)についてのリセットパルスRSRである。

このリセットパルスRSRは、表示期間とリセット期間の切り分けの基準タイミングを発生するタイミングコントロールパルスTPにより生成される。

タイミングコントロールパルスTPは、カラム側の駆動において帰線期間にカラムピンを介してOEL素子をリセットあるいはプリチャージ(定電圧リセット)するパルスという点で使用されればパッシブマトリックス型の有機ELパネルの駆動におけるリセットコントロール信号と同じ信号である。

図6(e)のリセットパルスRSRは、表示期間とリセット期間の切り分けが基準タイミングとなっているので、このリセットパルスRSRは、タイミングコントロールパルスTPあるいはリセットコントロールパルス(リセットコントロール信号)と同じものになる。このことは、タイミングコントロールパルスTPから生成されるG(緑)、B(青)の同様なリセットパルスについても同じである。ただし、G、Bそれぞれのリセット期間は、Rと違っていてもよい。

[0006] そこで、この発明は、各カラムピン対応にリセットパルスを発生して、次のリセット期間の開始タイミングを γ 補正に対応して補正することで、現在の表示期間Dの長さを制御する。これによりOEL素子の発光期間を補正することでOEL素子の表示期間における全体的な発光輝度を γ 補正する。

そこで、この発明の γ 補正回路は、リセット期間の制御回路として設けられる。その結果、タイミング制御により γ 補正が可能になるので、 γ 補正回路の占有面積を抑えることができる。

また、前記した補正データ生成回路をデータ変換ROMにすれば、 γ 補正值の選択も単にデータ変換ROMに記憶すればよく、しかも、データ変換ROMは、各カラムピンに個別に設ける必要はないので、その分、 γ 補正回路の占有面積を抑えることが可能になる。

発明を実施するための最良の形態

[0007] 図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバを中心とするブロック図、図2は、出力段電流源に設けられた γ 補正リセットパルス発生回路の説明図、図3は、他の γ 補正リセットパルス発生回路の説明図、図4は、図3における γ 補正リセットパルス発生回路のリセットパルス発生タイミングの説明図、図5は、データ変換回路(ROM)に設定される γ 補正データについての説明図、そして、図6は、カラムピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

図1において、10は、有機ELパネルにおける有機EL駆動回路としてのカラムICドライバ(以下カラムドライバ)である。このカラムドライバ10は、基準電流発生回路1と、R(赤)に対応して設けられたR-基準電流生成回路2Rと、G(緑)に対応して設けられたG-基準電流生成回路2G、そして、B(青)に対応して設けられたB-基準電流生成回路2Bとを有している。

各基準電流生成回路2R、2G、2Bは、それぞれ基準電流発生回路1から基準電流 I_{ref} を入力段として設けられたカレントミラー回路で受けてそれぞれの表示色に対応した基準電流 I_r 、 I_g 、 I_b を生成する。そして、ここで生成された基準電流 I_r 、 I_g 、 I_b でカレントミラー回路(基準電流分配回路)3R、3G、3B(3G、3Bは図示せず)の入力側トランジスタをそれぞれに駆動し、これらのカレントミラー回路により各出力端子(Rについての出力端子XR1〜XRm)に生成した基準電流 I_r 、 I_g 、 I_b をそれぞれに分配する。

なお、G-基準電流生成回路2G、B-基準電流生成回路2Bにそれぞれ接続される

カレントミラー回路3G, 3Bは、R-基準電流生成回路2Rが接続されているカレントミラー回路3Rと同様な構成であるので、特に図示してはいない。

- [0008] 各基準電流生成回路2R, 2G, 2Bには、それぞれ4ビット程度のD/A変換回路(D/A)2aが設けられていて、ホワイトバランス調整のためにR, G, Bそれぞれの表示色に対応する基準電流 I_r , I_g , I_b の電流値が調整される。その調整は、それぞれレジスタ2bに設定されるデータをD/A2aでD/A変換することにより行われる。

以下では、R-基準電流生成回路2Rとカレントミラー回路3を中心とするRについて電流駆動系について説明する。G-基準電流生成回路2GとB-基準電流生成回路2Bとのそれぞれのカレントミラー回路、そしてこれらの電流駆動系については割愛する。

- [0009] R-基準電流生成回路2Rは、基準電流発生回路1からの基準電流 I_{ref} で駆動されてRについての基準電流 I_r を生成する。この基準電流 I_r は、Rについてのカレントミラー回路3の入力側のトランジスタ T_{ra} に供給される。これにより出力側トランジスタ T_{rb} から T_{rn} のそれぞれが基準電流 I_r を発生して、Rの各出力端子XR1〜XRn対応に基準電流 I_r が分配される。

カレントミラー回路3は、入力側のPチャネルMOSFETトランジスタ T_{ra} と、これとカレントミラー接続される出力側のPチャネルMOSFETトランジスタ T_{rb} 〜 T_{rn} とを有していて、トランジスタ T_{rb} 〜 T_{rn} のソースは、電源ライン+VDD(=+3V)に接続されている。

トランジスタ T_{rb} 〜 T_{rn} のドレインは、D/A4R, 4R…に接続され、それぞれのドレインからの出力電流 I_r は、D/A4Rの基準駆動電流とされる。

各D/A4Rは、カレントミラー回路で構成され、その入力側トランジスタに出力電流 I_r を受ける。そして、MPU11からレジスタ6、ライン8bを介して表示データDATをカレントミラーの出力側トランジスタに受けて基準駆動電流 I_r を表示データ値分電流増幅してそのときどきのOEL素子の表示輝度に応じた駆動電流を出力側に生成し、この駆動電流に応じてそれぞれに出力段電流源5Rを駆動する。

- [0010] 各出力段電流源5Rは、出力段カレントミラー回路50と γ 補正リセットパルス発生回路51、そしてスイッチ回路52とからなる。

カレントミラー回路50は、Pチャネルの入力側トランジスタQP1とPチャネルの出力側トランジスタQP2とにより構成され、トランジスタQP1、QP2のソース側は、共通に電源ライン+Vcc(電圧ライン+Vccの電圧>電圧ライン+VDDの電圧)に接続されている。トランジスタQP1のドレインは、ゲートにダイオード接続され、さらにD/A4Rの出力端子に接続されてD/A4Rにより駆動される。トランジスタQP2のドレインは、各出力端子XR1〜XRnのうち自己に対応する1つに接続されている。

これにより、各出力段電流源5Rは、Rについてのカラム側の出力端子XR1〜XRnを介して駆動電流iを有機ELパネルの各OEL素子9の陽極に出力する。

スイッチ回路52は、Rについての出力端子XR1〜XRnに対応にそれぞれ設けられたリセットスイッチであって、PチャネルMOSTランジスタQP3で構成されている。各出力段電流源5RのトランジスタQP3のソースは、各出力端子XR1〜XRnのうち自己に対応する1つの端子に接続されている。各出力段電流源5Rの各トランジスタのQP3のドレインは、ツェナーダイオードDZRを介してグランドGNDに接続されている。各トランジスタQP3のゲートは、自己の出力段電流源5Rに設けられた γ 補正リセットパルス発生回路51からゲート駆動信号を受け、それによりそのトランジスタQP3はONとなって、自己が接続されている出力端子を定電圧VzRに設定して、出力端子に接続されているOEL素子9の端子電圧をリセットする。

[0011] γ 補正リセットパルス発生回路51は、データ変換回路(ROM)7から補正データTDiを受け、コントロール回路12からライン8aを介してタイミングコントロールパルスTPを受ける。さらに、コントロール回路12からクロックCLKと表示開始パルスDSTPとを受ける。そして、スイッチ回路52(トランジスタQP3)に補正データTDiの値に応じた所定のタイミングでゲート駆動信号を発生して、これをONにする。これにより表示データDATの値に応じたリセット期間RTが各出力端子対応に設定される。その結果、リセット期間RTに応じて発光期間Dの長さが γ 補正值に対応して補正される。このことでOEL素子9の発光輝度が γ 補正される。

リセット期間RTにスイッチ回路52がONになると、ツェナーダイオードDZRの持つ定電圧VZRにOEL素子9の陽極側が設定されるので、OEL素子9の発光は停止し、その陽極側が所定の電圧にプリチャージされる。このとき、発光しているOEL素子9

の陰極側は、垂直方向（ローライン）の走査によりグランドGNDに接続されている。

なお、図1に示すように、各出力端子XR1〜XRnは、有機ELパネルの各カラムピンに対応していて、これらが接続された状態では1つになっている。そこで、ここでは、出力端子とカラムピンとは特に区別していない。

[0012] データ変換回路（ROM）7は、ROMとマルチプレクサとで構成され、表示データをデータ変換することによりOEL素子9の発光期間を γ 補正する補正データTDiを生成する。データ変換回路7は、ライン8cを介して各出力端子に対応する表示データDATを順次受けて、コントロール回路12からの制御信号Sに従ってマルチプレクサにより γ 補正リセットパルス発生回路51を順次選択して変換した補正データTDiを各出力端子対応に各 γ 補正リセットパルス発生回路51にライン8dを介して分配していく。

制御信号Sは、ピクセルカウンタのカウンタタイミングで発生するものであって、ピクセルカウンタは、コントロール回路12に内蔵され、図6（b）に示すカウントスタートパルスCSTPを受けてカウントを開始する。

データ変換回路7のデータ変換は、あるタイミングで入力された表示データ値Diがデータ変換回路7のアドレス値とされて、表示データ値Diに応じてアドレスがアクセスされて、そのアドレスDiに記憶されている補正データTDiが出力されることによる。出力された補正データTDiは、リセット期間RTの開始タイミングを決定すると同時に表示期間Dの終了タイミングを決定する。

[0013] 図5は、 γ 補正のためにデータ変換されるデータ値についての説明図である。

横軸は、表示データ値であり、縦軸は、出力端子から発生する平均駆動電流値[μ A]である。

点線Aは、表示期間D（＝発光期間）を所定の一定値DTにした場合の出力段電流源の平均出力電流値であり、 $\gamma = 1.0$ のものである。この場合、縦軸の平均出力電流値とOEL素子9の発光期間Dにおけるトータル輝度は対応しているものとする。

これに対して実線で示す線Bは、 $\gamma = 2.0$ に対応する平均出力電流値である。そこで、点線Aと実線Bの駆動電流値の差 ΔI に対応した平均出力電流のOFF期間を表示期間DTに設ければ、 $\gamma = 2.0$ に補正することができる。それは、発光輝度と表示期間とは実質的に対応する関係にあるからである。

[0014] すなわち、 γ 補正をしないときの表示期間Dの期間をDTとし、 γ 補正期間を T_γ とし、 γ 補正された表示期間T(=発光期間)とする。そして、次の式において、aは、グラフAにおけるある表示データ値Diに対応する電流値、bは、グラフBにおける前記表示データ値Diのときの電流値、tdはクロックCLKの周期、 $D_{\gamma i}$ は、 γ 補正期間 T_γ をクロックカウント数で表した期間、TDrは、タイミングコントロールパルスTP(図6(e)参照)の立上がりから γ 補正をしないときの表示期間DTが終了するまでのクロックのカウント値であり、例えば、図6(e)のリセットパルスRSRのリセット開始期間に相当する。

ここで、表示期間を γ 補正するクロックカウント数で表した期間TDiは次の関係式から求められる。

γ 補正された表示期間Tは、

$$T = DT \times b / a \quad \dots(1)$$

γ 補正期間 T_γ は、

$$T_\gamma = DT - DT \times b / a = DT (1 - b / a) \quad \dots(2)$$

γ 補正期間 T_γ のクロック数 $D_{\gamma i}$ は、

$$D_{\gamma i} = T_\gamma / td \quad (i = 0 \sim 63) \quad \dots(3)$$

γ 補正された表示期間Tのクロック数TDiは、

$$TDi = TDr - D_{\gamma i} \quad \dots(4)$$

となる。

なお、式(4)は、 γ 補正をしないときの表示期間DTに対して表示開始時点から出力段電流源5Rの出力電流をOFFするまでの期間(γ 補正した表示期間)をクロック数TDiで示したものである。これは、 γ 補正をしないときの表示期間DTの表示開始時点からリセット開始までの期間、すなわち、図6(e)の表示開始時点からリセット開始時点までの表示期間D、この表示期間Dを基準として表示開始時点からのカウント値として γ 補正された基準となる前記表示期間Dより短い表示期間を算出する式である。

ROMの表示データDiのアドレスに補正データTDiが記憶されることで、各表示データDiに対応する補正データTDiを得て、 $\gamma = 2.0$ のときの表示期間について γ 補

正が行われる。ただし、 $i=0\sim 63$ は表示データが6ビットの場合である。

データ変換回路7のROMには、多数の γ 補正に応じてデータを各領域に記憶しておき、 γ 補正値を各領域の先頭アドレスで選択できるようにする。これにより先頭アドレスの選択で種々の γ 補正を行うことができる。しかも、このデータ変換回路7のROMは、Rについての各出力端子XR1〜XRnに対して1個設けられればよい。

[0015] γ 補正リセットパルス発生回路51は、図2に示すように、プリセットカウンタ53とフリップフロップ54、そしてインバータ55とで構成される。プリセットカウンタ53は、制御信号Sのタイミングに従ってデータ変換回路7から補正データTDiがロードされる。

そして、コントロール回路12から送出されるクロックCLKを受けてタイミングコントロールパルスTP(図6(e)参照)の立下がりタイミングで補正データTDiをクロックCLKの立下がりに応じてカウントダウンすることを開始してそれが“0”になったときに出力を発生する。

その出力の立上がり出力がトリガ信号としてフリップフロップ54に入力される。フリップフロップ54のデータ入力端子Dは、プルアップされている。そこで、プリセットカウンタ53の立上がり出力を受けると、データ“1”がフリップフロップ54にセットされ、そのQ出力がリセットパルスRSRとしてトランジスタQP3のゲートにインバータ55を介して送出される。なお、この場合、インバータ55を介することなく、フリップフロップ54のQバー出力を利用してもよい。

フリップフロップ54は、リセット端子Rにコントロール回路12のタイミング信号発生回路12aが発生する表示開始パルスDSTPを受けてその立上がりタイミングでリセットされ、リセットパルスRSRが停止する。

なお、プリセットカウンタ53のカウント値が“0”のときにはタイミングコントロールパルスTPの立下がり信号がそのままフリップフロップ54にトリガ信号として入力される。

[0016] その結果、 γ 補正リセットパルス発生回路51は、 γ 補正がないときには、そのプリセットカウンタ53にプリセットされた補正データTDi(=TDr)に応じて立上がる図6(e)，(h)，(i)に示すリセットパルスRSRが発生する。D γ i=0のときには、補正データTDi(=TDr-0)となり、図6(e)に示すリセットパルスRSRが発生する。また、D γ i=1のときには、補正データTDi(=TDr-1)となり、1クロック分手前にずれた図6(h)に示

すリセットパルスRSRが発生する。さらに、 $D_{\gamma i}=2$ のときには、補正データ $TD_i (=T_{Dr}-2)$ となり、2クロック分手前となる図6 (i) に示すリセットパルスRSRが発生する。一般式としては、 $D_{\gamma i}=n$ (ただし、 n は整数) のときには、補正データ $TD_i (=T_{Dr}-n)$ となる。

図6 (e), (h), (i) に示すリセットパルスRSRは、前記した式(3)、(4)に示されるように、表示データDATの値に対応して γ 補正されたタイミングで立上がり、表示開始パルスDSTPを受けて立下がる。そして、あらかじめ決定されている表示期間D+リセット期間RTに対応する周期(タイミングコントロール信号の周期=水平走査周波数)で発生する。

[0017] 図3は、他の γ 補正リセットパルス発生回路の説明図であり、図4は、そのリセットパルス発生タイミングの説明図である。

先の図1の実施例では、水平1ラインの走査期間に相当する表示期間と前記水平1ラインの帰線期間に相当するリセット期間とを切り分けるためのタイミングコントロール信号で決定されるリセット期間を基準にして γ 補正に応じてリセット期間の長さ手前側に伸ばすタイミング制御をしている。この実施例では、タイミングコントロール信号で切り分けられる表示期間を γ 補正をする場合の一番短い表示期間に設定しておき、このリセット期間を基準として、このリセット期間の長さを γ 補正に応じて手前側を削って短くするタイミング制御をする例である。

γ 補正リセットパルス発生回路51aは、 n 段のシフトレジスタ56と、セクタ57、2入力ANDゲート58、3ビットのレジスタ59、そしてインバータ60、61とからなる。 n 段のシフトレジスタ56は、タイミング信号発生回路12aからタイミングコントロールパルスTPと、インバータ60を介してクロックCLKとを受けて、クロックCLKの立下がりタイミングで、各段に図4 (a) に示すような出力波形が発生する。

なお、図示して説明する都合上、図4 (a) は、 n を4として4段のシフトレジスタ56とし、その各段のフリップフロップをQ1〜Q4とした場合の説明である。実際には、 γ 補正する最大期間分として、 $n=32$ 程度は必要になる。Q1〜Q4の各段の出力信号は、シフトレジスタ56の各段に入力されるクロックCLKの立下がりに応じて発生し、Q2〜Q4は、初段Q1の立上がりから1乃至数クロックCLK分遅延した出力となっている。な

お、初段Q1の立上がりタイミングは、図6(j)に示すタイミングコントロールパルスTPの立上がりからこれに同期するクロックCLKが立下がるまでの期間分遅延している。

セクタ57は、シフトレジスタ56の初段の出力信号から最終段の出力信号のそれぞれと初段への入力信号(タイミング信号発生回路12aからタイミングコントロールパルスTP)とを受けて、入力信号の1つを選択する。このセクタ57の入力信号の選択は、レジスタ59に設定されたTDiに応じて行われる。ここで、選択された入力信号は、2入力のアンドゲート58の一方に入力される。アンドゲート58の他方の入力にはシフトレジスタ56の入力信号として図6(j)に示すタイミングコントロールパルスTPが入力されている。

この場合のタイミングコントロールパルスTPは、立下がりタイミングが表示開始位置に固定されているが、立上がりタイミングは、 γ 補正をする場合の一番短い表示期間Dよりも少なくとも半ロック分以上手前に設定されている。この図6(j)のタイミングコントロールパルスTPは、この図6(e)の通常のタイミングコントロールパルスTPから生成する。

図6(j)のタイミングコントロールパルスTPは、表示期間Dを γ 補正をする場合の一番短い表示期間か、それ以下に設定して表示期間Dとリセット期間RTとを切り分ける信号になっている。これにより逆にリセット期間RTが γ 補正をする場合の一番長い期間かそれ以上に設定される。

なお、レジスタ59に設定するデータ値TDiは、

$$TDi = TDir - Dp \quad \dots(5)$$

ただし、TDirは、式(4)で算出されたクロック数TDiであり、Dpは、図6(j)のタイミングコントロールパルスTPが立上がるまでのクロック数である。したがって、データ変換回路7のに記憶される補正データは、式(4)に従うTDi(=TDir)ではなく、式(5)に従って算出されたTDiとなる。

- [0018] その結果、アンドゲート58の出力は、レジスタ56に設定されたデータ値に応じて初段からmクロックCLK(mは1以上の整数)遅延したリセットパルスRSRが発生する。このリセットパルスRSRは、タイミングコントロールパルスTPの立上がり(前縁)あるいは選択されたQ1〜Q4の出力のいずれかの立上がり(前縁)を立上がり(前縁)とし、立

下がり(後縁)をタイミングコントロールパルスTPの立下がり(後縁)とした、図6(e), (h), (i)に示すようなリセットパルスRSRになる。このリセットパルスRSRは、インバータ61を介してトランジスタQP3のゲートに加えられる。なお、アンドゲータ58とインバータ61とに換えてナンドゲートを用いてもよい。

説明を簡単にするために、シフトレジスタ56を4段構成とし、TDiを3ビットとすると、レジスタ56にセットされる3ビットの補正データTDiは、0〜4までの値とされ、その数値が出力段数に対応している。したがって、リセットパルス発生回路3Rのレジスタ56に設定された3ビットの補正データTDiを”011”で「3」とすると、図4(b)に示すように、Q3の出力が選択されて、アンドゲート54の出力は、図4(b)に示すように、初段Q1の出力から2クロック分遅延し、仮に、タイミングコントロールパルスTPからは3クロック分遅延するとする。

その結果として、図6(e)に示すようなリセットパルスRSRがリセットパルス発生回路3Rから発生する。このときには、TDi=TDr=”011”であり、これが補正がされない表示期間DTとなる。

図6(i)のリセットパルスRSRの場合は、リセットパルス発生回路3Gのレジスタ56に設定された3ビットの補正データTDiは、TDi=”010”であり、タイミングコントロールパルスTPからは2クロック分遅延する。

図6(h)のリセットパルスRSRの場合は、リセットパルス発生回路3Bのレジスタ56に設定された3ビットの補正データTDiは、TDi=”001”であり、タイミングコントロールパルスTPからは2クロック分遅延する。

アンドゲータ58の出力は、インバータ61を介してスイッチ回路52を構成するトランジスタQP3のゲートに送出されて、アンドゲータ58の出力が“H”の期間の間、インバータ58を介して“L”がトランジスタQP3のゲートに出力されて、このトランジスタがONとなる。

[0019] ところで、以上の説明では、RについてのリセットパルスRSRを γ 補正に応じて発生させる説明しているが、G, Bについてのリセットパルスについて同様にして γ 補正に応じて発生させるものである。

また、実施例では、リセットパルスRSRの開始タイミングを図6(e)に示すタイミングコ

ントロールパルスTPの立下がり(前縁)を基準としてクロックCLKをカウントして設定しているが、このタイミングコントロールパルスTPの周期は、一定しているので、この立上がり(後縁)を基準としてクロックCLKをカウントして設定してもよいことはもちろんである。

図面の簡単な説明

[0020] [図1]図1は、この発明の有機EL駆動回路を適用した一実施例の有機ELパネルのカラムドライバを中心とするブロック図である。

[図2]図2は、出力段電流源に設けられた γ 補正リセットパルス発生回路の説明図である。

[図3]図3は、他の γ 補正リセットパルス発生回路の説明図である。

[図4]図4は、図3における γ 補正リセットパルス発生回路のリセットパルス発生タイミングの説明図である。

[図5]図5は、データ変換回路(ROM)に設定される γ 補正データについての説明図である。

[図6]図6は、カラムピンを電流駆動する電流波形とこれを発生するタイミング信号の説明図である。

符号の説明

[0021] 1G, 1R, 1B…R, G, Bの各基準電流発生回路、
2G, 2R, 2B…R, G, Bの各基準電流分配回路、
3, 3G, 3R, 3B…D/A変換回路(D/A)、
4, 4G, 4R, 4B…ピーク電流生成回路、
5, 5R, 5G, 5B…出力段電流源、
6…プログラマブルパルス幅パルス発生回路、
6…レジスタ、
7…データ変換回路(ROM)、
9, 9G1, 9R1, 9B1, 9G2, 9R2…ピン、
10…カラムICドライバ、
12…MPU、12…コントロール回路、

50…出力段カレントミラー回路、
51, 51a… γ 補正リセットパルス発生回路、
52…スイッチ回路、53…プリセットカウンタ、
54…フリップフロップ、
55, 60, 61…インバータ、
56…シフトレジスタ、57…セクタ、
58…2入力アンドゲート、
59…3ビットのレジスタ、
Tra〜Trn, QP1〜QP3…トランジスタ。

請求の範囲

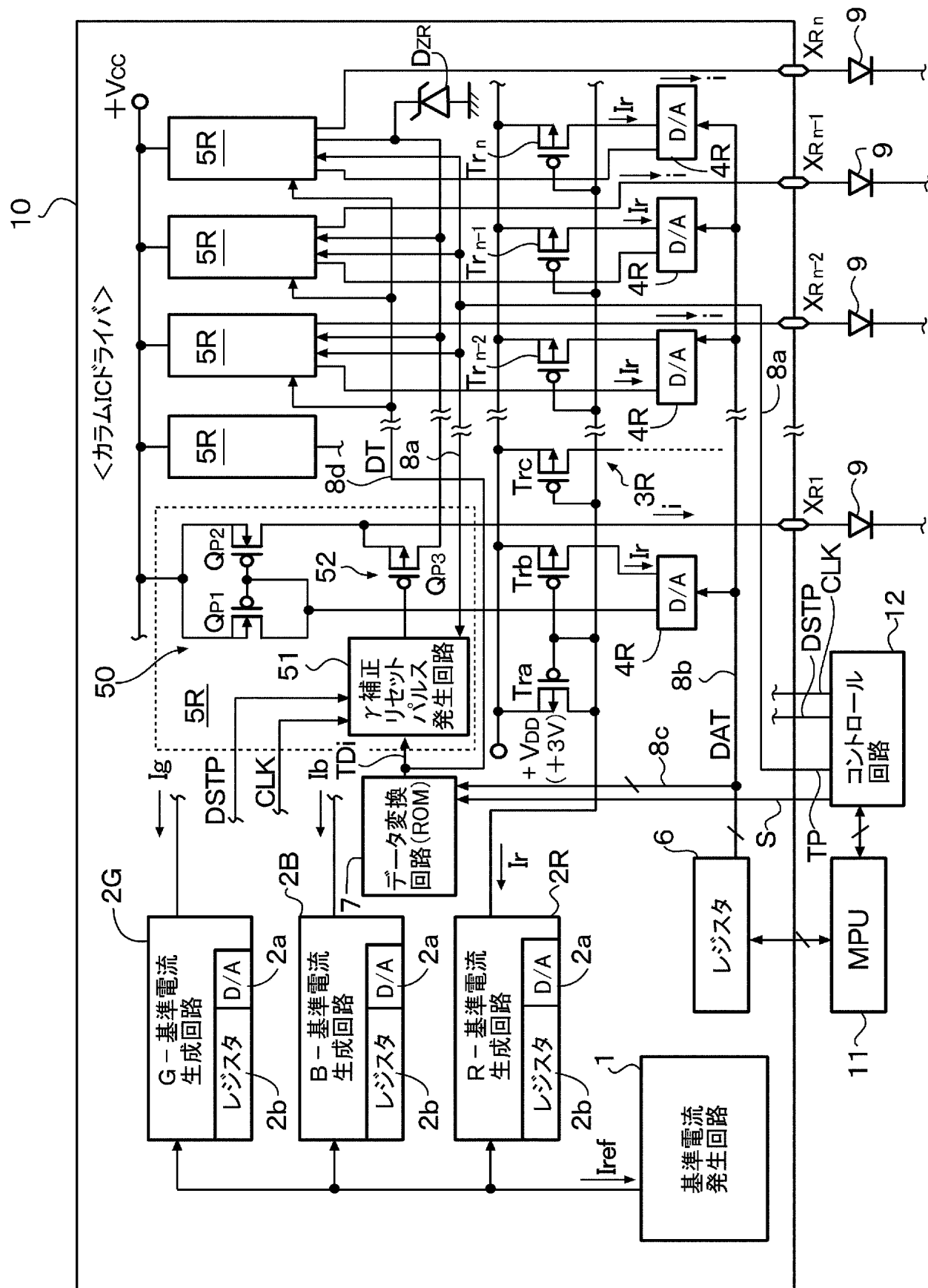
- [1] デジタル値の表示データをD/A変換して有機EL素子を電流駆動するための駆動電流あるいはその基礎となる電流を生成し、水平1ラインの走査期間に相当する表示期間と前記水平1ラインの帰線期間に相当するリセット期間とを切り分けるための第1のタイミングコントロール信号に応じて前記表示期間に有機ELパネルの端子ピンを介して前記有機EL素子に前記駆動電流を送出し、前記リセット期間に前記有機EL素子の端子電圧のリセットをする有機EL駆動回路において、
- スイッチ回路と、補正データ生成回路と、リセットパルス発生回路とを備え、
- 前記スイッチ回路は、前記リセットをするためにリセットパルスを受けて前記端子ピンを所定の電位ラインに接続し、
- 前記補正データ生成回路は、前記有機EL素子の輝度を γ 補正するために前記表示データを受けて前記表示データに応じて前記有機EL素子の発光期間を補正するための補正データを生成し、そして、
- 前記リセットパルス発生回路は、前記第1のタイミングコントロール信号と前記補正データとを受けて γ 補正に応じたパルス幅の前記リセットパルスを発生する有機EL駆動回路。
- [2] 補正データ生成回路は、前記表示データを前記補正データに変換するデータ変換回路である請求項1記載の有機EL駆動回路。
- [3] 前記リセットパルスは、前記第1のタイミングコントロール信号の前縁あるいは後縁をタイミング基準として前記補正データに応じて前記タイミング基準から所定量遅延した信号として発生する請求項3記載の有機EL駆動回路。
- [4] さらに、前記補正データに応じた数、クロックをカウントするカウンタを有し、前記所定量遅延は、このカウンタの出力に応じて生成される請求項2記載の有機EL駆動回路。
- [5] 前記有機ELパネルはパッシブマトリックス型であって、前記端子ピンは多数設けられたカラムピンのそれぞれであり、前記第1のタイミングコントロール信号は、リセットコントロール信号である請求項4記載の有機EL駆動回路。
- [6] 前記スイッチ回路は、トランジスタで構成され、各前記カラムピンに対応して多数設

けられ各前記スイッチ回路の一端が各前記カラムピンに接続され、他端が前記所定の電位ラインに接続され、前記所定の電位ラインが所定の定電圧に設定されている請求項5記載の有機EL駆動回路。

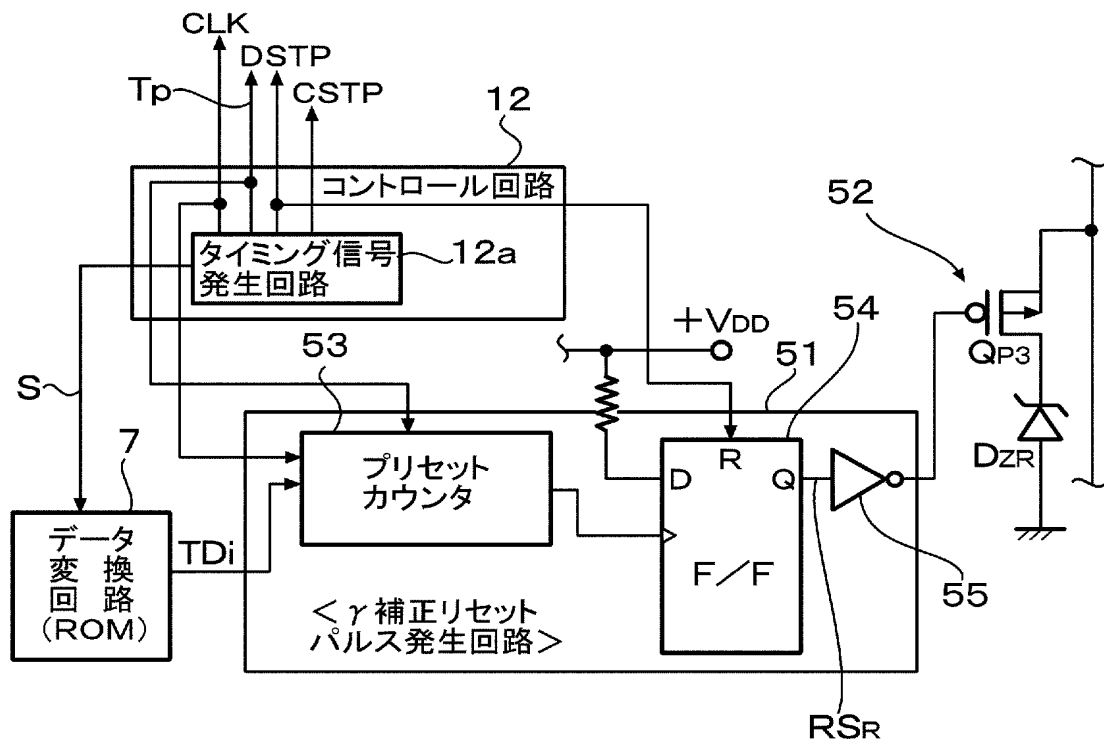
- [7] 前記所定の電位ラインは定電圧回路への接続ラインとして設けられ、各前記カラムピンに対応して前記駆動電流を発生するカレントミラー回路の電流源を有し、前記トランジスタはMOSトランジスタであり、前記MOSトランジスタのソースおよびドレインの一方が前記電流源の出力に接続され、前記MOSトランジスタのソースおよびドレインの他方が前記定電圧回路に接続されている請求項6記載の有機EL駆動回路。
- [8] 前記スイッチ回路と前記補正データ生成回路と前記リセットパルス発生回路とは、それぞれ表示3原色のR, G, Bに対応してそれぞれ設けられ、前記データ変換回路はROMで構成される請求項2記載の有機EL駆動回路。
- [9] 前記第1のタイミングコントロール信号は、前記表示期間を γ 補正をする場合の一番短い表示期間か、それ以下に設定して前記表示期間と前記リセット期間とを切り分ける信号である請求項2記載の有機EL駆動回路。
- [10] 前記リセットパルス発生回路は、前記第1のタイミングコントロール信号を受けて所定時間順次遅延させた複数の第2のタイミングコントロール信号を発生する遅延回路と、前記複数の第2のタイミングコントロール信号と前記第1のタイミングコントロール信号と前記補正データとを受けて前記補正データに応じて前記複数の第2のタイミングコントロール信号の1つを選択する選択回路とを有し、選択された前記第2のタイミングコントロール信号の前縁を前縁とし、後縁を前記第1のタイミングコントロール信号とした前記リセットパルスを発生する請求項9記載の有機EL駆動回路。
- [11] さらに、前記端子ピンに対応するようにそれぞれ設けられた、前記駆動電流を発生する電流源とD/A変換回路とを有し、前記D/A変換回路は、基準電流あるいはこの基準電流に基づいて発生させた電流に応じて前記表示データをD/A変換し、D/A変換して得られた電流に応じて前記電流源を駆動する請求項6または10記載の有機EL駆動回路。
- [12] 請求項1〜11のいずれかの請求項記載の有機EL駆動回路と前記有機ELパネルとを有する有機EL表示装置。

- [13] 前記有機EL駆動回路がICとして設けられている請求項12記載の有機EL表示装置。

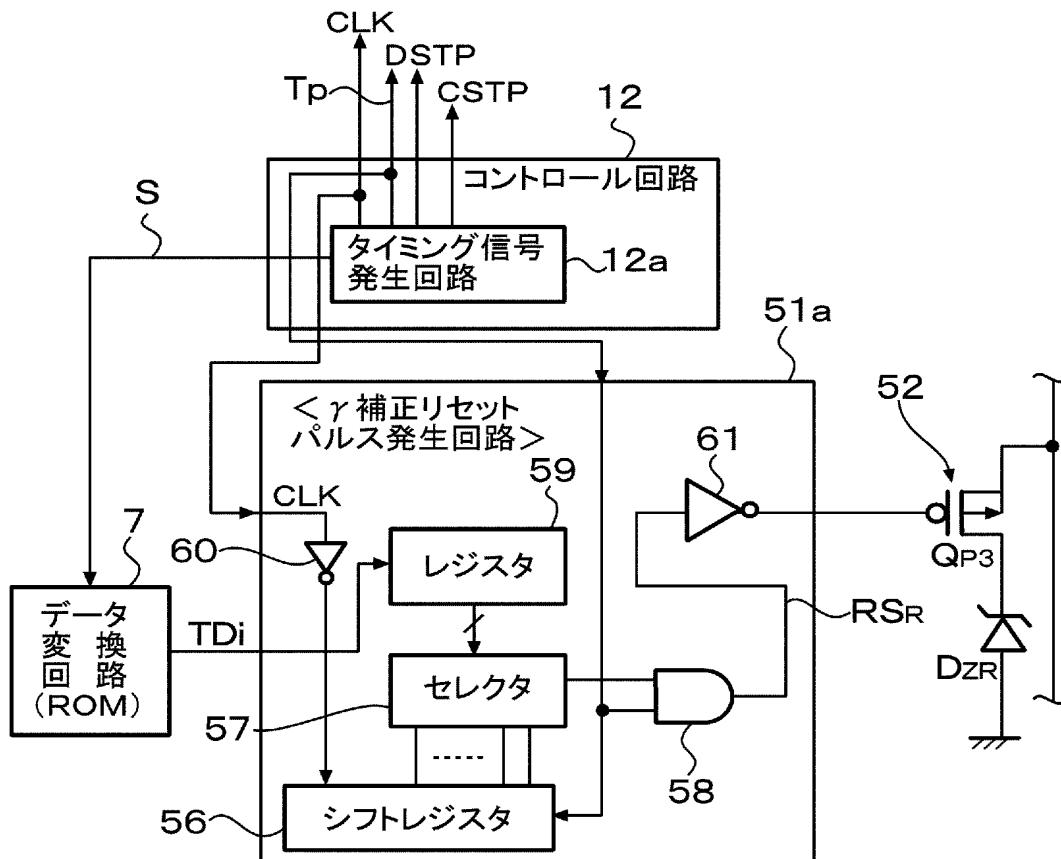
[図1]



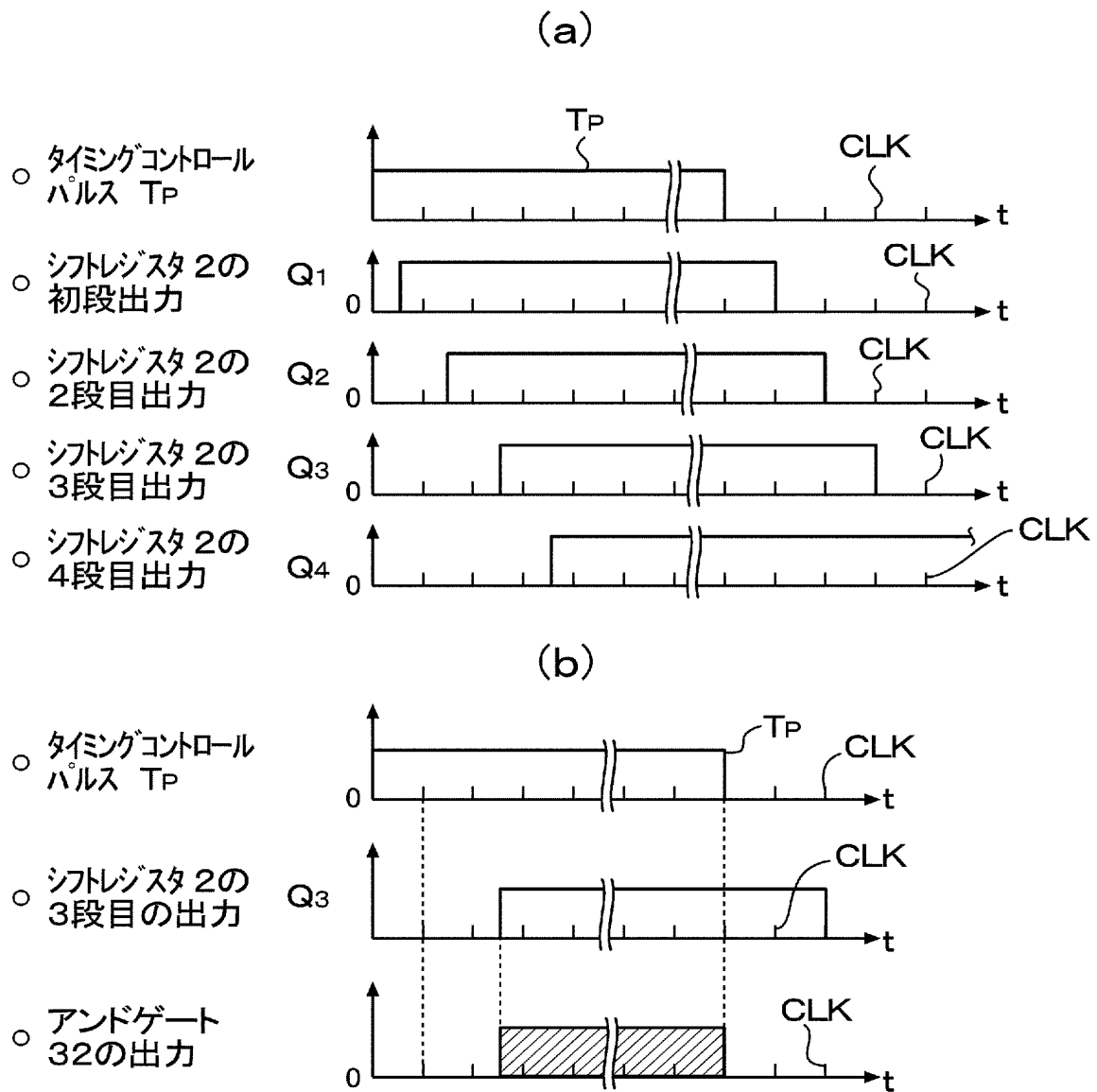
[図2]



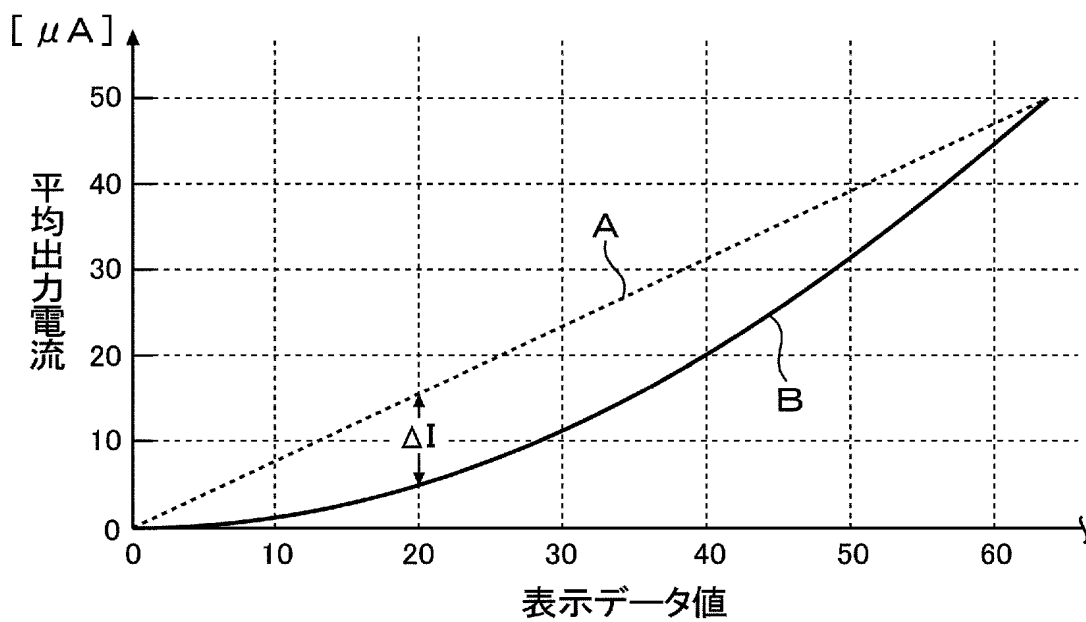
[図3]



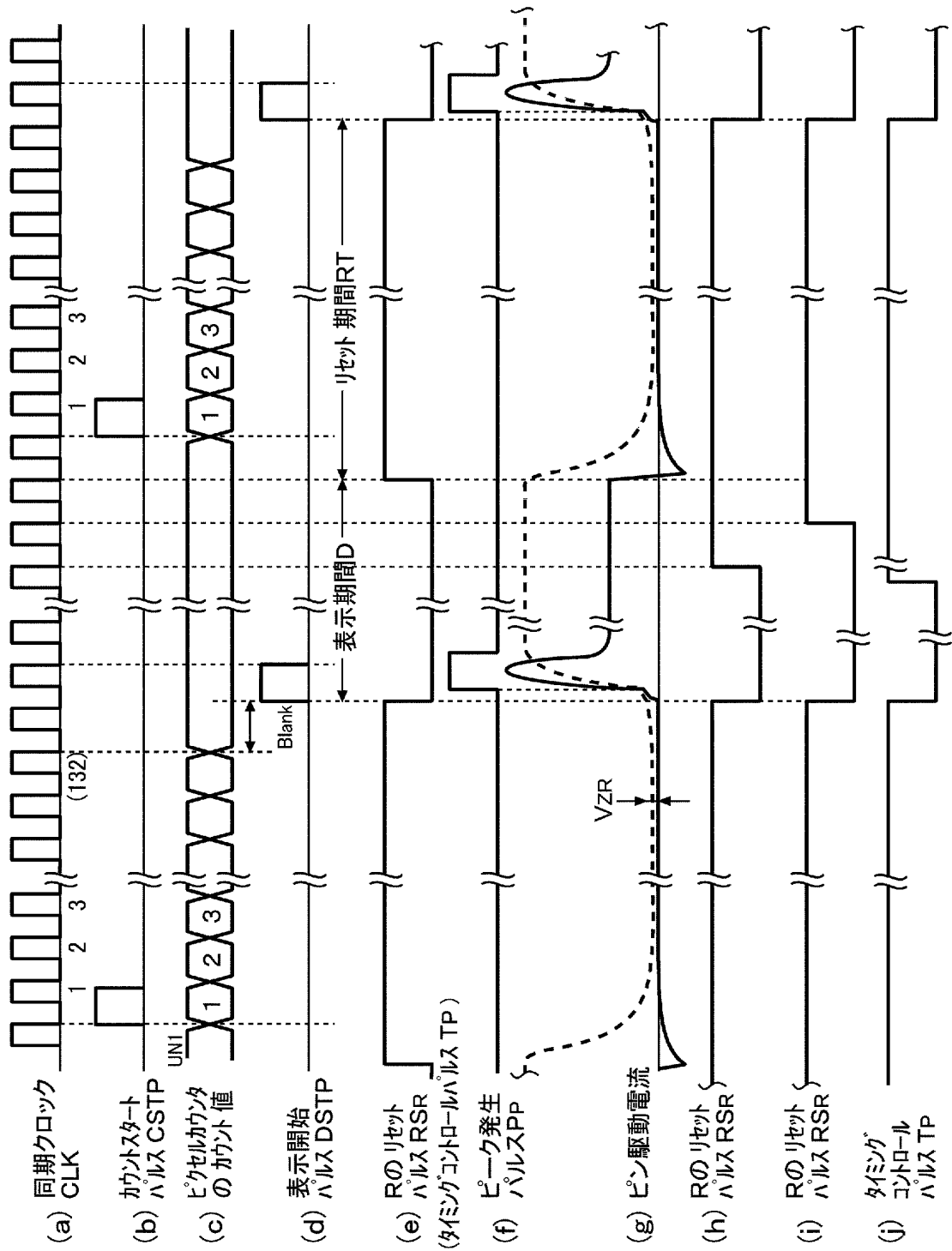
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005122

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/30, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/30, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-140037 A (Pioneer Electronic Corp.), 17 May, 2002 (17.05.02), Full text; all drawings & US 2002/0057233 A1	1-9, 11-13
Y	JP 2004-45488 A (Casio Computer Co., Ltd.), 12 February, 2004 (12.02.04), Full text; all drawings & WO 2004/006218 A2 & US 2004/0196275 A1 & EP 1520266 A2	1-9, 11-13
Y	JP 2002-91379 A (Tohoku Pioneer Corp.), 27 March, 2002 (27.03.02), Full text; all drawings (Family: none)	1-9, 11-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 June, 2005 (21.06.05)

Date of mailing of the international search report

05 July, 2005 (05.07.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005122

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-199861 A (Takiron Co., Ltd.), 04 August, 1995 (04.08.95), Full text; all drawings (Family: none)	4-7, 11
P,A	JP 2004-334179 A (Rohm Co., Ltd.), 25 November, 2004 (25.11.04), Full text; all drawings & US 2004/0207580 A1	1-13
P,A	JP 2004-151694 A (Rohm Co., Ltd.), 27 May, 2004 (27.05.04), Full text; all drawings & US 2004/0085025 A1	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/30, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G09G3/30, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-140037 A (パイオニア株式会社), 2002.05.17, 全文全図 & US 2002/0057233 A1	1-9, 11-13
Y	J P 2004-45488 A (カシオ計算機株式会社), 2004.02.12, 全文全図 & WO 2004/006218 A2 & US 2004/0196275 A1 & EP 1520266 A2	1-9, 11-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2005

国際調査報告の発送日

05.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

2G

9509

濱本 禎広

電話番号 03-3581-1101 内線 3226

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-91379 A (東北パイオニア株式会社), 2002.03.27, 全文全図 (ファミリーなし)	1-9, 11-13
Y	JP 7-199861 A (タキロン株式会社), 1995.08.04, 全文全図 (ファミリーなし)	4-7, 11
P, A	JP 2004-334179 A (ローム株式会社), 2004.11.25, 全文全図 & US 2004/0207580 A1	1-13
P, A	JP 2004-151694 A (ローム株式会社), 2004.05.27, 全文全図 & US 2004/0085025 A1	1-13